

DIALOG(R)File 352:Derwent WPI  
(c) 2004 Thomson Derwent. All rts. reserv.

012388398    \*\*Image available\*\*

WPI Acc No: 1999-194505/199917

XRPX Acc No: N99-142775

**Active matrix substrate for active matrix type liquid crystal display device - has insulating protection-surface film that forms holes through which pixel electrode is electrically connected to TFT drain area and capacitive electrode for formation respectively**

Patent Assignee: TOSHIBA KK (TOKE )

Number of Countries: 001    Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 11038439	A	19990212	JP 97191443	A	19970716	199917 B

Priority Applications (No Type Date): JP 97191443 A 19970716

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 11038439	A		8 G02F-001/136	

Abstract (Basic): JP 11038439 A

**NOVELTY** - A pixel electrode (111) is electrically connected to a capacitive electrode for formation (112) and the drain area of a thin film transistor (TFT) (100) via holes (113,114) formed on an insulating surface-protection film (110). The pixel electrode is formed on the surface-protection film laminated on the TFT. **DETAILED DESCRIPTION** - A storage capacitive electrode (103) is formed on a glass substrate (101). The capacitive electrode for formation is arranged on a gate insulating film (104) opposite the storage capacitive electrode. The capacitive electrode for formation produces a storage capacity between the storage capacitive electrodes. The drain and source areas of the TFT are provided on the gate insulating film. The source area is electrically connected to a row selection line. The insulating surface-protection film covers the TFT and capacitive electrode for formation. The holes of the insulating film pass through the TFT drain area and capacitive electrode for formation respectively. **INDEPENDENT CLAIMS** are included for the following: the manufacturing method of the active matrix substrate; and active matrix type LCD device. **CERAMICS AND GLASS** - The storage capacitive electrode is formed on the glass substrate.

**USE** - For active matrix type LCD device.

**ADVANTAGE** - Obtains desired storage capacity since area of storage capacitive electrode is not expanded while area of pixel electrode is expandable. **DESCRIPTION OF DRAWING(S)** - The figure shows the A-A cross sectional view of the active matrix substrate. (100) TFT; (101) Glass substrate; (103) Storage capacitive electrode; (104) Gate insulating film; (110) Insulating surface-protection film; (111) Pixel electrode;

**BEST AVAILABLE COPY**

**(112) Capacitive electrode for formation; (113,114)Holes.**

**Dwg.2/7**

**Title Terms: ACTIVE; MATRIX; SUBSTRATE; ACTIVE; MATRIX; TYPE; LIQUID;  
CRYSTAL; DISPLAY; DEVICE; INSULATE; PROTECT; SURFACE; FILM; FORM;  
HOLE;**

**THROUGH; PIXEL; ELECTRODE; ELECTRIC; CONNECT; TFT; DRAIN; AREA;  
CAPACITANCE; ELECTRODE; FORMATION; RESPECTIVE**

**Derwent Class: P81; P85; U12; U14**

**International Patent Class (Main): G02F-001/136**

**International Patent Class (Additional): G02F-001/1343; G09F-009/30;  
H01L-021/336; H01L-029/786**

**File Segment: EPI; EngPI**

DIALOG(R)File 347:JAPIO  
(c) 2004 JPO & JAPIO. All rts. reserv.

06096920     \*\*Image available\*\*

**ACTIVE MATRIX SUBSTRATE, ITS MANUFACTURE AND ACTIVE MATRIX  
LIQUID CRYSTAL  
DISPLAY DEVICE**

**PUB. NO.:**     11-038439 [JP 11038439 A]  
**PUBLISHED:**     February 12, 1999 (19990212)  
**INVENTOR(s):**   SHIMANO TAKUYA  
**APPLICANT(s):** TOSHIBA CORP  
**APPL. NO.:**     09-191443 [JP 97191443]  
**FILED:**         July 16, 1997 (19970716)  
**INTL CLASS:**     G02F-001/136; G02F-001/1343; G09F-009/30; H01L-029/786;  
                     H01L-021/336

**ABSTRACT**

**PROBLEM TO BE SOLVED:** To manufacture an active matrix substrate and an active matrix liquid crystal display device capable of extending the area of a pixel electrode, forming required storage capacity without extending the area of a storage capacity electrode and widening opening ratio.

**SOLUTION:** A pixel electrode 111 is formed on a surface protection film 110 laminated on a TFT 100. A capacity forming electrode 112 electrically connected to the pixel electrode 111 through a via-hole 114 is formed on the same layer as the TFT 100. The storage capacity is formed between the storage capacity electrode 103 formed on a glass substrate 101 and the capacity forming electrode 112 formed through a gate insulation film 104.

**COPYRIGHT:** (C)1999,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-38439

(43) 公開日 平成11年(1999) 2月12日

(51) Int. Cl. <sup>6</sup>  
G02F 1/136  
1/1343  
G09F 9/30  
H01L 29/786  
21/336

識別記号

500

338

F I

G02F 1/136

500

1/1343

G09F 9/30

338

H01L 29/78

612

Z

626

C

審査請求 未請求 請求項の数 8 O L (全 8 頁)

(21) 出願番号 特願平9-191443

(22) 出願日 平成9年(1997) 7月16日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 島野 卓也

兵庫県姫路市余部区上余部50番地 株式会

社東芝姫路工場内

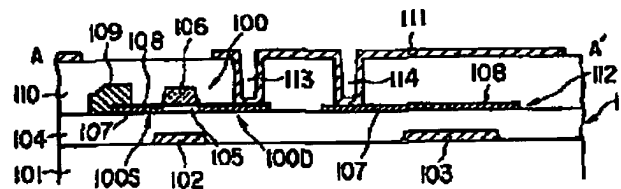
(74) 代理人 弁理士 鈴江 武彦 (外 6 名)

(54) 【発明の名称】 アクティブマトリクス基板及びその製造方法並びにアクティブマトリクス型液晶表示装置

(57) 【要約】

【課題】 画素電極の面積を拡大することが可能であるとともに、蓄積容量電極の面積を拡大することなく所望の蓄積容量を形成することが可能であり、且つ広開口率化が可能なアクティブマトリクス基板及びその製造方法並びにアクティブマトリクス型液晶表示装置を提供することを目的とする。

【解決手段】 画素電極111は、TFT100の上に積層された表面保護膜110上に形成されている。TFT100と同一の層には、ビアホール114を介して画素電極111と電気的に接続された容量形成用電極112が形成されている。ガラス基板101上に形成された蓄積容量電極103と、ゲート絶縁膜104を介して形成された容量形成用電極112との間で蓄積容量を形成する。



## 【特許請求の範囲】

【請求項1】絶縁基板上に、少なくとも行選択線と列選択線とが形成され、各々の選択線が交わる領域に非晶質珪素薄膜トランジスタが形成されたアクティブマトリクス基板において、

絶縁基板上に配置された蓄積容量電極と、

前記蓄積容量電極上に積層されたゲート絶縁膜を介して対向配置されているとともに、前記蓄積容量電極との間で蓄積容量を形成する容量形成用電極と、

前記ゲート絶縁膜上に少なくともドレイン領域とソース領域とを有するとともに、前記ソース領域が前記列選択線に電気的に接続された非晶質珪素薄膜トランジスタと、

前記非晶質珪素薄膜トランジスタ及び前記容量形成用電極を覆うとともに、前記非晶質珪素薄膜トランジスタのドレイン領域に通じる第1ビアホールと、前記容量形成用電極に通じる第2ビアホールとを有する絶縁性の表面保護膜と、

前記表面保護膜上に形成されているとともに、前記第1及び第2ビアホールを介して前記ドレイン領域及び前記容量形成用電極に電気的に接続された透明な導電性部材によって形成された画素電極と、  
を備えたことを特徴とするアクティブマトリクス基板。

【請求項2】前記非晶質珪素薄膜トランジスタのソース領域及びドレイン領域と、前記容量形成用電極とは、オーミックコンタクト層と、このオーミックコンタクト層上に形成された金属反応層とを有することを特徴とする請求項1に記載のアクティブマトリクス基板。

【請求項3】絶縁基板上に、少なくとも行選択線と列選択線とが形成され、各々の選択線が交わる領域には非晶質珪素薄膜トランジスタが形成され、前記非晶質珪素薄膜トランジスタは、前記絶縁基板側から少なくともゲート電極、ゲート絶縁膜、非晶質珪素薄膜が順次形成されてなり、前記非晶質珪素薄膜上には、無機保護膜が前記ゲート電極に対して自己整合的に形状加工されてなり、前記非晶質珪素薄膜の一部は、前記無機保護膜に対して自己整合的に形成されてなるオーミックコンタクト層となり、かつ前記オーミックコンタクト層上には、前記オーミックコンタクト層と金属との反応層が形成されてなり、前記金属反応層からなるソース領域、及びドレイン領域にはそれぞれ透明電極からなる画素電極、及び列選択線が接続されているアクティブマトリクス基板において、

前記画素電極は、非晶質珪素薄膜トランジスタ上に形成された絶縁性の表面保護膜上に位置し、前記表面保護膜に形成された第1ビアホールを通じてドレイン領域に接続され、かつ、前記表面保護膜に形成された第2ビアホールを通じて前記オーミックコンタクト層及び金属反応層からなる容量形成用電極に接続され、この容量形成用電極が前記ゲート絶縁膜の少なくとも一部を介して

蓄積容量電極との間に蓄積容量を形成して成ることを特徴とするアクティブマトリクス基板。

【請求項4】前記容量形成用電極と画素電極とを接続する前記第2ビアホールは、前記蓄積容量電極上から外れる領域に形成されていることを特徴とする請求項1または3に記載のアクティブマトリクス基板。

【請求項5】前記容量形成用電極と画素電極とを接続する前記第2ビアホールは、前記蓄積容量電極上の領域に形成されていることを特徴とする請求項1または3に記載のアクティブマトリクス基板。

【請求項6】前記非晶質珪素薄膜トランジスタのソース領域及びドレイン領域と、前記容量形成用電極に含まれる前記金属反応層は、少なくとも前記オーミックコンタクト層と高融点金属との反応層であることを特徴とする請求項2または3に記載のアクティブマトリクス基板。

【請求項7】絶縁基板上に、少なくとも行選択線と列選択線とが形成され、各々の選択線が交わる領域に非晶質珪素薄膜トランジスタが形成されたアクティブマトリクス基板において、

絶縁基板上に蓄積容量電極を形成し、

前記蓄積容量電極上にゲート絶縁膜を積層し、

前記ゲート絶縁膜を介して前記蓄積容量電極に対向する位置に容量形成用電極を形成するとともに、前記非晶質珪素薄膜トランジスタのドレイン領域とソース領域と形成し、

前記非晶質珪素薄膜トランジスタ及び前記容量形成用電極を絶縁性の表面保護膜で覆い、

前記表面保護膜に対して前記非晶質珪素薄膜トランジスタのドレイン領域に通じる第1ビアホールと、前記容量形成用電極に通じる第2ビアホールとを形成し、

前記表面保護膜上に透明な導電性部材からなる画素電極を形成するとともに、前記第1及び第2ビアホールを介して前記ドレイン領域及び前記容量形成用電極に電気的に接続することを特徴とするアクティブマトリクス基板の製造方法。

【請求項8】絶縁基板上に、少なくとも行選択線と列選択線とが形成され、各々の選択線が交わる領域に非晶質珪素薄膜トランジスタが形成されたアクティブマトリクス基板であって、

絶縁基板上に配置された蓄積容量電極と、

前記蓄積容量電極上に積層されたゲート絶縁膜を介して対向配置されているとともに、前記蓄積容量電極との間で蓄積容量を形成する容量形成用電極と、

前記ゲート絶縁膜上に少なくともドレイン領域とソース領域とを有するとともに、前記ソース領域が前記列選択線に電気的に接続された非晶質珪素薄膜トランジスタと、

前記非晶質珪素薄膜トランジスタ及び前記容量形成用電極を覆うとともに、前記非晶質珪素薄膜トランジスタのドレイン領域に通じる第1ビアホールと、前記容量形

成用電極に通じる第2ヴィアホールとを有する絶縁性の表面保護膜と、  
前記表面保護膜上に形成されているとともに、前記第1及び第2ヴィアホールを介して前記ドレイン領域及び前記容量形成用電極に電気的に接続された透明な導電性部材によって形成された画素電極と、  
を有するアクティブマトリクス基板と、  
前記画素電極に対向配置された透明な導電性部材からなる対向電極を有する対向基板と、  
前記アクティブマトリクス基板と前記対向基板との間に挟持された液晶組成物と、  
を備えたことを特徴とするアクティブマトリクス型液晶表示装置。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】この発明は、アクティブ素子としてたとえば薄膜トランジスタを用いたアクティブマトリクス型液晶表示装置に係り、特にこのアクティブマトリクス型液晶表示装置のアレイ基板の構造及びその製造方法に関する。

##### 【0002】

【従来の技術】近年、大画面化、及び高精細化が可能な表示装置として、透明な絶縁基板上に形成した非晶質珪素薄膜トランジスタをアクティブ素子すなわちスイッチング素子として利用したアクティブマトリクス型液晶表示装置の開発が進められている。この非晶質珪素薄膜トランジスタの一例としての逆スタガード型の非晶質珪素薄膜トランジスタ（以下、TFTと称する）は、例えば図5及び図6に示したような構造に形成される。すなわち、図5に示すように、TFTは、各画素毎における行選択線すなわち走査線502と列選択線すなわち信号線509との交差部付近に配置される。

【0003】このTFTを備えるアクティブマトリクス型液晶表示装置のアレイ基板は、図6に示すように、絶縁基板501上に配置された走査線の一部をなすゲート電極502と、遮光性の導電性部材によって形成された蓄積容量電極503と、ゲート絶縁膜504を介して形成された非晶質珪素薄膜505と、この非晶質珪素薄膜505上にゲート電極502に対して自己整合的に形成されているとともに窒化珪素からなる無機保護膜506とを有している。このアレイ基板に備えられるTFTのソース電極及びドレイン電極は、無機保護膜506に自己整合的に形成された低抵抗半導体層としてのオーミックコンタクト層507、及びこのオーミックコンタクト層507表面に形成された金属反応層508により形成される。

【0004】このような構造のTFTすなわち非晶質珪素薄膜トランジスタは、トランジスタ自体を非常に小さくできるとともに、トランジスタの高性能化を図ることが可能である。

【0005】一方、表示開口部を決定する透明電極としての画素電極511が、例えば図6に示すように、TFT上に形成された絶縁性の表面保護膜510上に形成されることにより、TFT及び各選択線との電気的接触が無い構成とすることが可能となるとともに、高開口率化が図られている。これは、画素電極がゲート絶縁膜上に形成される場合、すなわちTFTを構成するゲート電極、ドレイン電極、半導体層、信号線、走査線といった配線のいずれかと同一な層上に形成される場合、画素電極がリソグラフィ重ね合わせ制度を考慮して2 $\mu$ m乃至4 $\mu$ m程度のマージンをとって同層に位置するパターンから内側に配置されなければならないためである。

##### 【0006】

【発明が解決しようとする課題】ところで、ゲート絶縁膜上に画素電極を配置した場合には、ゲート絶縁膜を介して画素電極と蓄積容量電極との間で蓄積容量を形成していたが、図5及び図6に示したような構造の場合には、ゲート絶縁膜504及び表面保護膜510を介して画素電極511と蓄積容量電極503との間で蓄積容量が形成される。すなわち、図5及び図6に示したような構造では、画素電極511と蓄積容量電極503との間隔が広がるため、蓄積容量が減少する。したがって、所望の蓄積容量を形成するためには、蓄積容量電極503の面積を大きくする必要がある。蓄積容量電極503は、遮光性の導電性部材によって形成されるため、蓄積容量電極503の面積が大きくなると、結果的に開口率を低下させてしまう問題が発生する。

【0007】そこで、この発明は、上述した事情に基づきなされたものであって、画素電極の面積を拡大することが可能であるとともに、蓄積容量電極の面積を拡大することなく所望の蓄積容量を形成することが可能であり、且つ広開口率化が可能なアクティブマトリクス基板及びその製造方法並びにアクティブマトリクス型液晶表示装置を提供することを目的とする。

##### 【0008】

【課題を解決するための手段】この発明は、上記問題点に基づきなされたもので、請求項1によれば、絶縁基板上に、少なくとも行選択線と列選択線とが形成され、各々の選択線が交わる領域に非晶質珪素薄膜トランジスタが形成されたアクティブマトリクス基板において、絶縁基板上に配置された蓄積容量電極と、前記蓄積容量電極上に積層されたゲート絶縁膜を介して対向配置されているとともに、前記蓄積容量電極との間で蓄積容量を形成する容量形成用電極と、前記ゲート絶縁膜上に少なくともドレイン領域とソース領域とを有するとともに、前記ソース領域が前記列選択線に電気的に接続された非晶質珪素薄膜トランジスタと、前記非晶質珪素薄膜トランジスタ及び前記容量形成用電極を覆うとともに、前記非晶質珪素薄膜トランジスタのドレイン領域に通じる第1ヴィアホールと、前記容量形成用電極に通じる第2ヴィア

ホールとを有する絶縁性の表面保護膜と、前記表面保護膜上に形成されているとともに、前記第1及び第2ビアホールを介して前記ドレイン領域及び前記容量形成用電極に電気的に接続された透明な導電性部材によって形成された画素電極と、を備えたことを特徴とするアクティブマトリクス基板が提供される。

【0009】請求項7によれば、絶縁基板上に、少なくとも行選択線と列選択線とが形成され、各々の選択線が交わる領域に非晶質珪素薄膜トランジスタが形成されたアクティブマトリクス基板において、絶縁基板上に蓄積容量電極を形成し、前記蓄積容量電極上にゲート絶縁膜を積層し、前記ゲート絶縁膜を介して前記蓄積容量電極に対向する位置に容量形成用電極を形成するとともに、前記非晶質珪素薄膜トランジスタのドレイン領域とソース領域と形成し、前記非晶質珪素薄膜トランジスタ及び前記容量形成用電極を絶縁性の表面保護膜で覆い、前記表面保護膜に対して前記非晶質珪素薄膜トランジスタのドレイン領域に通じる第1ビアホールと、前記容量形成用電極に通じる第2ビアホールとを形成し、前記表面保護膜上に透明な導電性部材からなる画素電極を形成するとともに、前記第1及び第2ビアホールを介して前記ドレイン領域及び前記容量形成用電極に電気的に接続することを特徴とするアクティブマトリクス基板の製造方法が提供される。

【0010】請求項8によれば、絶縁基板上に、少なくとも行選択線と列選択線とが形成され、各々の選択線が交わる領域に非晶質珪素薄膜トランジスタが形成されたアクティブマトリクス基板であって、絶縁基板上に配置された蓄積容量電極と、前記蓄積容量電極上に積層されたゲート絶縁膜を介して対向配置されているとともに、前記蓄積容量電極との間で蓄積容量を形成する容量形成用電極と、前記ゲート絶縁膜上に少なくともドレイン領域とソース領域とを有するとともに、前記ソース領域が前記列選択線に電気的に接続された非晶質珪素薄膜トランジスタと、前記非晶質珪素薄膜トランジスタ及び前記容量形成用電極を覆うとともに、前記非晶質珪素薄膜トランジスタのドレイン領域に通じる第1ビアホールと、前記容量形成用電極に通じる第2ビアホールとを有する絶縁性の表面保護膜と、前記表面保護膜上に形成されているとともに、前記第1及び第2ビアホールを介して前記ドレイン領域及び前記容量形成用電極に電気的に接続された透明な導電性部材によって形成された画素電極と、を有するアクティブマトリクス基板と、前記画素電極に対向配置された透明な導電性部材からなる対向電極を有する対向基板と、前記アクティブマトリクス基板と前記対向基板との間に挟持された液晶組成物と、を備えたことを特徴とするアクティブマトリクス型液晶表示装置が提供される。

【0011】この発明のアクティブマトリクス基板及びその製造方法並びにアクティブマトリクス型液晶表示装

置によれば、画素電極を非晶質珪素薄膜トランジスタが形成されている層とは異なる層に形成し、非晶質珪素薄膜トランジスタと同一の層には、容量形成用電極を配置し、第2ビアホールを介して容量形成用電極と画素電極とを電気的に接続している。このため、非晶質珪素薄膜トランジスタと画素電極とのショートを防止するとともに、従来と比較して画素電極を広く形成することが可能となり、また、容量形成用電極及び蓄積容量電極の面積を大きくすることなく所望の蓄積容量を形成しつつ、開口率を向上することが可能となる。

【0012】また、容量形成用電極は、非晶質珪素薄膜トランジスタのソース領域及びドレイン領域を形成する工程で同時に形成することが可能であるため、上述したような構造のアクティブマトリクス基板を作製するための工程数が増えることを防止できる。

【0013】

【発明の実施の形態】以下、図面を参照してこの発明に係るアクティブマトリクス基盤及びその製造方法並びにアクティブマトリクス型液晶表示装置の実施の形態について詳細に説明する。

【0014】図1は、この発明の一実施の形態に係るアクティブマトリクス基板における一画素部分の平面図であり、図2は、図1に示したアクティブマトリクス基板におけるA-A'線で破断した部分の断面図であり、図7は、図1及び図2に示したアクティブマトリクス基板を利用したアクティブマトリクス型液晶表示装置の構造の一例を示す断面図である。

【0015】すなわち、図1及び図2に示したアクティブマトリクス基板は、アクティブ素子すなわちスイッチング素子として、例えば逆スタガード型の非晶質珪素薄膜トランジスタ（以下、TFTと称する）100を備えている。図1に示したように、TFT100は、各画素毎における行選択線すなわち走査線102と列選択線すなわち信号線109との交差部付近に配置される。

【0016】このTFT100を備えるアクティブマトリクス基板すなわちアクティブマトリクス型液晶表示装置のアレイ基板1は、図2に示したように、絶縁基板101上に配置された走査線の一部をなす遮光性の導電性部材によって形成されたゲート電極102と、走査線及びゲート電極102と同一の遮光性の導電性部材によって形成された蓄積容量電極103と、ゲート絶縁膜104を介して形成された非晶質珪素薄膜105と、この非晶質珪素薄膜105上にゲート電極102に対して自己整合的に形成されているとともに窒化珪素からなる無機保護膜106とを有している。

【0017】このアレイ基板1に備えられるTFT100のソース電極100S及びドレイン電極100Dは、ゲート絶縁膜104上に堆積されているとともに無機保護膜106に自己整合的に形成された低抵抗半導体層としてのオーミックコンタクト層107、及びこのオーミ

10

20

30

40

50

ックコンタクト層107表面に被覆された金属反応層108により形成される。TFT100のソース電極100Sは、信号線109に電気的に接続されている。

【0018】また、蓄積容量電極103の直上に位置するとともに、ゲート絶縁膜104上に堆積されたオーミックコンタクト層107とオーミックコンタクト層107上に被覆された金属反応層108により、容量形成用電極112が形成されている。すなわち、この容量形成用電極112は、ゲート絶縁膜104を介して蓄積容量電極103との間で蓄積容量を形成する。

【0019】TFT100及び信号線109の上には、表面保護膜110が積層されている。さらに、この表面保護膜110上には、透明導電性膜によって形成された画素電極111が配置されている。

【0020】TFT100のドレイン電極100Dは、ドレイン電極100D上の表面保護膜110を貫通するビアホール113を介して画素電極111にコンタクトされている。また、容量形成用電極112は、容量形成用電極112の上の表面保護膜110を貫通するビアホール114を介して画素電極111にコンタクトされている。すなわち、容量形成用電極112に電気的に接続された画素電極111は、ゲート絶縁膜104を介して蓄積容量電極103に対向して配置されていることに相当し、容量形成用電極112と蓄積容量電極103との間で形成した蓄積容量は、画素電極111と蓄積容量電極103との間で形成される蓄積容量に相当する。

【0021】画素電極111と容量形成用電極112とを電気的に接続するためのビアホール114は、容量形成用電極112上のいずれの位置であってもよく、図1及び図2に示したアレイ基板では、ビアホール114は、開口部すなわちアレイ基板1に形成された画素電極111を光が透過する領域内における容量形成用電極112上、すなわち蓄積容量電極103の直上に相当する位置から外れる位置に形成されている。

【0022】上述したような構造のアレイ基板1を備えたアクティブマトリクス型液晶表示装置は、図7に示したように、アレイ基板1に対向する位置に配置された対向基板2、及びアレイ基板1と対向基板2との間に挟持された液晶組成物3を備えている。

【0023】対向基板2は、透明な絶縁性基板、例えばガラス基板4、ガラス基板4上に配置されたカラーフィルタ5及び遮光膜6、及びカラーフィルタ5及び遮光膜6上に配置された透明導電性部材によって形成された対向電極7を有している。カラーフィルタ5は、アレイ基板1と対向基板2とが対向配置された際に、アレイ基板1の開口部すなわち画素電極111に対向する位置に配置され、各画素毎にそれぞれ赤(R)、緑(G)、青(B)のフィルタが配置されている。また、遮光膜6は、アレイ基板1と対向基板2とが対向配置された際に、アレイ基板1の配線部すなわち走査線102、信号

線109及びTFT100に対向する位置に配置される。

【0024】ところで、上述したようなアレイ基板、すなわちアクティブマトリクス基板1は、以下に示すような製造工程に従って形成される。まず、絶縁基板101上に行選択線すなわち走査線及びゲート電極102、及び蓄積容量電極103を形成する。この実施の形態では、ゲート電極102及び蓄積容量電極103として、例えばタンタル(Ta)、モリブデン(Mo)、タングステン(W)、チタン(Ti)、クリプトン(Cr)、アルミニウム(Al)といった金属材料、或いはその合金の単層膜、或いは積層膜を使用することが可能である。すなわち、これらの金属材料を主成分とする遮光性の導電膜を絶縁基板101上に成膜した後、パターニングすることにより、走査線、ゲート線、及び蓄積容量電極を形成する。このパターニングの際には、例えばエッチング断面に傾斜をつけるテーパエッチング技術を用いても良い。

【0025】続いて、これらを覆うように例えば窒化硅素からなるゲート絶縁膜104、非晶質硅素薄膜105、及び、例えば窒化硅素からなる無機保護膜106を連続的に成膜し、積層膜を形成する。この積層膜は、例えばプラズマCVD、常圧CVD、あるいは減圧CVDなどの各種CVD法を用いて成膜する。なお、この実施の形態では、ゲート絶縁膜104の膜厚を4000オングストローム、非晶質硅素薄膜の膜厚を500オングストローム、無機保護膜106の膜厚を2000オングストロームに設定している。また、この実施の形態では、積層膜の各層を単一材料の単層膜で形成したが、例えばそれぞれが異なる材料からなる積層膜で構成されてもよい。

【0026】続いて、絶縁基板101の背面から露光する裏面露光技術を用いて、無機保護膜106のパターニングをゲート電極102に対して自己整合的に行う。これにより、ゲート電極102と無機保護膜106とのオフセット量を減少させることができ、TFT100が持つ寄生容量(Cgs)を低減させることができる。

【0027】続いて、無機保護膜106をマスクにして、例えば燐イオンを非晶質硅素薄膜105表面に注入し、オーミックコンタクト層107を形成する。この実施の形態では、燐イオンの注入条件として加速電圧(Vi)を30kV、ドーズ量(Ci)を $5 \times 10^{14}/\text{cm}^2$ とした。また、ここでは、燐イオンのみを選択的に注入したが、例えば水素イオン等と同時に燐イオンを注入するような非質量分離型のイオン注入法を用いてもよい。

【0028】そして、オーミックコンタクト層107、及び非晶質硅素薄膜105をパターニングする。そして、少なくともオーミックコンタクト層107を含む基板上に例えばTa、Mo、W、Ti、Cr、Alといっ



た高融点金属材料、或いはその合金を被覆し、例えば200℃で2時間といった熱処理を施した後、この金属膜を剥離することで、オーミックコンタクト層107表面に金属との反応層108を形成する。そして、このオーミックコンタクト層107及び金属反応層108をパターンニングすることにより、TFT100のソース領域100S及びドレイン領域100Dと、容量形成用電極112を形成する。容量形成用電極112は、蓄積容量電極103のほぼ直上の位置に形成される。

【0029】続いて、ゲート絶縁膜109上に信号線109を形成し、TFT100のソース電極100Sに電気的に接続する。この信号線109は、例えば金属反応層を形成する金属材料と同一の高融点金属材料によって形成される。

【0030】続いて、表面保護膜110として例えば窒化珪素膜をTFT100付近の凹凸が概略平坦になる程度の膜厚をもって形成する。続いて、TFT100のドレイン領域100D、及び容量形成用電極112の直上に相当する表面保護膜110にそれぞれビアホール113、114を形成する。

【0031】続いて、表面保護膜110の上に透明導電性膜として例えばITO膜を例えばスパッタ法により成膜する。この時、ビアホール113、及び114にも、ITO膜が成膜される。そして、このITO膜の上にネガ型レジストを塗布し、信号線109、走査線（ゲート線）102、蓄積容量電極103、非晶質珪素薄膜トランジスタ100をマスクにして、絶縁基板101の裏面から露光し、かつ、蓄積容量電極103上等の必要な領域には、再度通常のマスク露光を行って、パターンニングすることにより画素電極111を形成する。

【0032】この実施の形態では、画素電極111の面積が従来の約1.3倍となり、ソース領域100Sと画素電極111、及び容量形成用電極112が充分低抵抗でありながら、それ自体そして画素電極111とのコンタクト部分が光透過性を有するため、開口率を低下させずに充分な蓄積容量を保ちつつ画素を構成することが可能となる。

【0033】また、図2に示すように、信号線109と画素電極111とが表面保護膜110を挟んで別の層に形成されているため、信号線109と画素電極111との間のショートを防止することができる。このような構造のアレイ基板を用いて、図7に示したような液晶表示装置を構成し、画像を表示させたところ、明るくかつ表面保護膜が充分厚いため信号線109と画素電極111とのカップリング容量が減少し、クロストークの無い均一な表示が得られた。

【0034】この実施の形態では、TFT100を走査線102から突き出したゲート電極102上に設けたが、TFT100を直接走査線上に設けてもよく、この場合は開口率をより高めることができる。また、この実

施の形態では、表面保護膜110の材料として窒化珪素膜を用いたが、この他に例えば有機材料を用いても良い。

【0035】上述した構造のアクティブマトリクス基板では、画素電極と容量形成用電極とを接続するビアホールを開口部に形成したが、図3及び図4に示したアクティブマトリクス基板の例のように、容量形成電極312と画素電極311との接続用ビアホール314の位置を蓄積容量電極303上に変更してもよい。このような構造のアクティブマトリクス基板の場合、その他の構造、及び製造プロセスは、図1及び図2に示した例と変更はない。蓄積容量電極303上にビアホール314を形成することにより開口部の面積をさらに拡大することが可能となり、所望の蓄積容量を確保しつつ画素電極の開口率を向上することができる。

【0036】上述したように、この発明のアクティブマトリクス基板及びその製造方法並びにアクティブマトリクス型液晶表示装置によれば、画素電極をTFTが形成されている層とは異なる層に形成し、TFTと同一の層には、容量形成用電極を配置し、ビアホールを介して容量形成用電極と画素電極とを電気的に接続している。このため、TFTと画素電極とのショートを防止するとともに、従来と比較して画素電極を広く形成することが可能となり、また、容量形成用電極及び蓄積容量電極の面積を大きくすることなく所望の蓄積容量を形成しつつ、開口率を向上することが可能となる。

【0037】また、容量形成用電極は、TFTのソース領域及びドレイン領域を形成する工程で同時に形成することが可能であるため、上述したような構造のアクティブマトリクス基板を作製する際に工程数が増えることもない。

#### 【0038】

【発明の効果】以上説明したように、この発明によれば、画素電極の面積を拡大することが可能であるとともに、蓄積容量電極の面積を拡大することなく所望の蓄積容量を形成することが可能であり、且つ広開口率化が可能なアクティブマトリクス基板及びその製造方法並びにアクティブマトリクス型液晶表示装置を提供することができる。

#### 【図面の簡単な説明】

【図1】図1は、この発明の一実施の形態に係るアクティブマトリクス基板における一画素部分の平面図である。

【図2】図2は、図1に示したアクティブマトリクス基板におけるA-A'線で破断した部分の断面図である。

【図3】図3は、この発明の他の実施の形態に係るアクティブマトリクス基板における一画素部分の平面図である。

【図4】図4は、図3に示したアクティブマトリクス基板におけるB-B'線で破断した部分の断面図である。

11

12

【図 5】図 5 は、従来の非晶質硅素薄膜トランジスタアレイ基板を概略的に示す平面図である。

【図 6】図 6 は、図 5 に示した従来の非晶質硅素薄膜トランジスタアレイ基板における C-C' 線で破断した部分の断面図である。

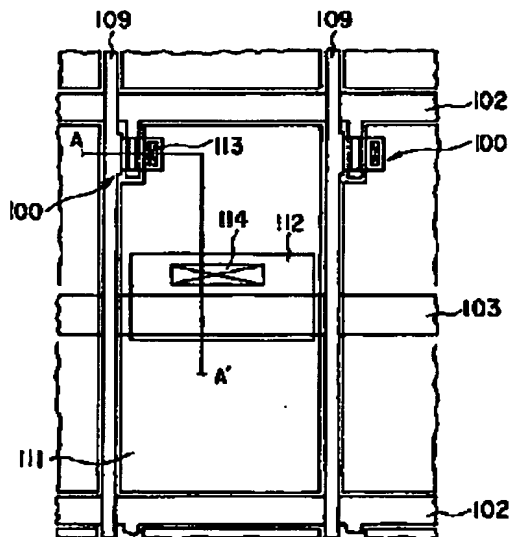
【図 7】図 7 は、図 1 及び図 2 に示したアクティブマトリクス基板を利用したアクティブマトリクス型液晶表示装置の構造の一例を示す断面図である。

【符号の説明】

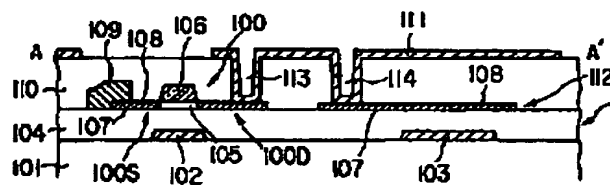
1…アクティブマトリクス基板（アレイ基板）  
2…対向基板  
3…液晶組成物  
100…TFT  
101…絶縁基板

102…走査線、ゲート電極  
103…蓄積容量電極  
104…ゲート絶縁膜  
105…非晶質硅素薄膜  
106…無機保護膜  
107…オーミックコンタクト層  
108…金属反応層  
109…信号線  
110…表面保護膜  
111…画素電極  
112…容量形成用電極  
113…ビアホール  
114…ビアホール

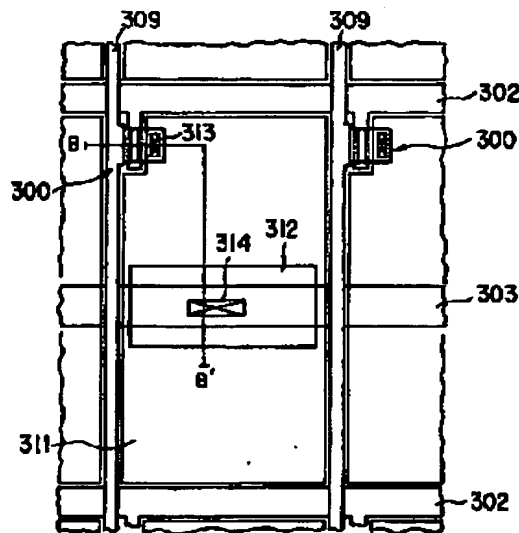
【図 1】



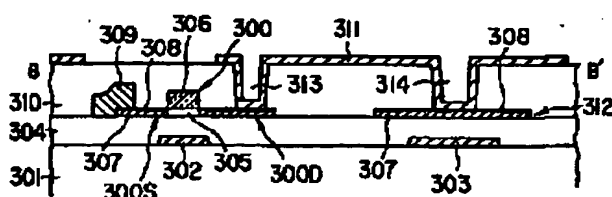
【図 2】



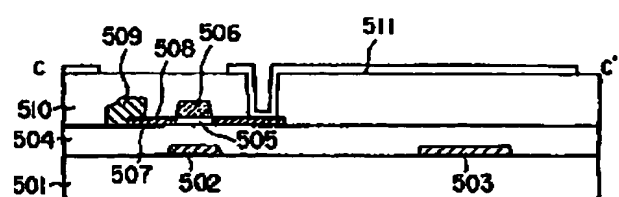
【図 3】



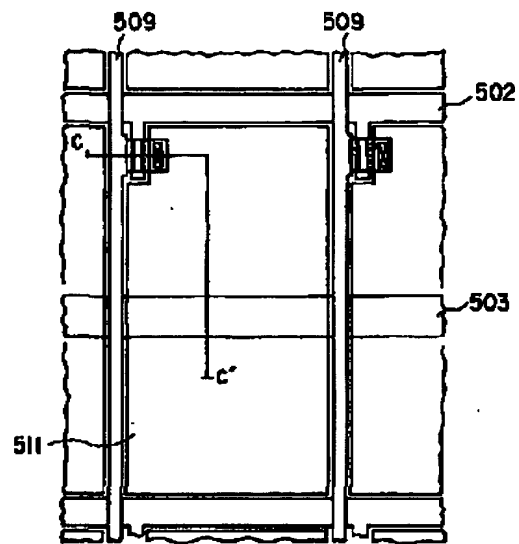
【図 4】



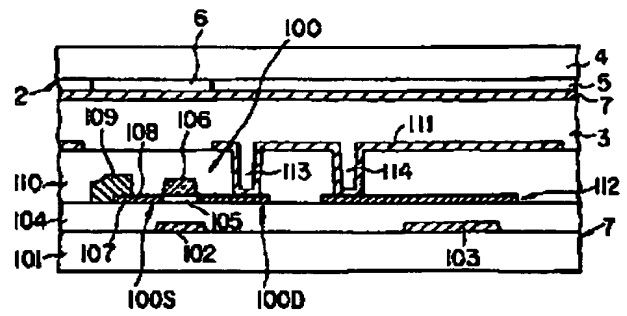
【図 6】



【図 5】



【図 7】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**